

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-014966

(43)Date of publication of application : 19.01.1989

(51)Int.Cl.

H01L 29/76

(21)Application number : 62-171507

(71)Applicant : NEC CORP

(22)Date of filing : 08.07.1987

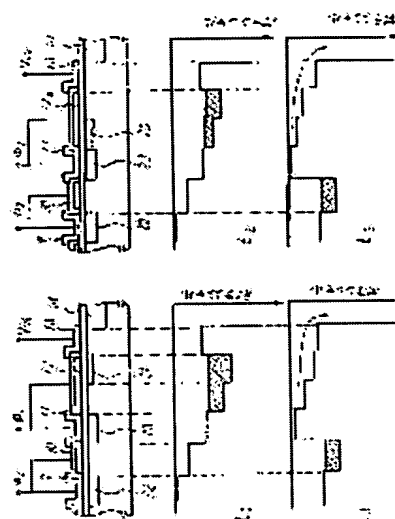
(72)Inventor : ITO HIROAKI

(54) CHARGE TRANSFER DEVICE

(57)Abstract:

PURPOSE: To improve the sensitivity of charge detection without reducing the driving frequency by a method wherein a diffusion layer, with which stepwise potential will be formed, is provided under the transfer electrode located directly in front of an output gate electrode.

CONSTITUTION: An N-type diffusion layer 24 is arranged on the region adjacent to the output gate 13 under the transfer electrode 12 located directly in front of an output gate 13. Also, a P-type diffusion layer 25 is arranged on the region adjacent to a transfer electrode 11 under the transfer electrode 12a located directly in front of the output gate 13. As a result, a stepping is generated on the potential to be formed under the transfer electrodes 12 or 12a, and by the lengthening of the electrode length L2 of the transfer electrode 12 or 12a, the gentle-sloped part generating on the potential formed under the transfer electrode 12 can be prevented, and the decrease of driving frequency of the charge transfer device can also be prevented by shortening the time required for completion of the change of potential due to signal charge on a source region 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭64-14966

⑤ Int.Cl.⁴

H 01 L 29/76

識別記号

3 0 1

庁内整理番号

C-8122-5F

⑬ 公開 昭和64年(1989)1月19日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 電荷転送装置

⑮ 特 願 昭62-171507

⑯ 出 願 昭62(1987)7月8日

⑰ 発 明 者 伊 東 宏 明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

電荷転送装置

特許請求の範囲

第1導電型の半導体基板表面上に絶縁膜を介して転送電極及び出力ゲート電極が設けられ、前記半導体基板の前記出力ゲート電極の直下部に少なくとも隣接して第1導電型と逆の第2導電型領域からなる電荷検出用領域が配置され、前記出力ゲート直前の転送電極直下の転送チャネルが前記電荷検出用領域に向かってしぼり込んで形成された電荷転送装置において、前記出力ゲート電極の直前の転送電極の下に階段状のポテンシャルを形成する手段を設けたことを特徴とする電荷転送装置。

発明の詳細な説明

(産業上の利用分野)

本発明は電荷転送装置に関し、特にその電荷検出装置の感度向上させた電荷転送装置に関する。(従来の技術)

従来の電荷転送装置の一例として、第5図(a)、(b)の平面図及びD-D'線断面図に示すものがある。ここでは説明を簡単にするために、装置は表面チャネル型電荷結合装置、基板はP型半導体、転送されるキャリアは電子として行う。図において、1はP型半導体基板、2は絶縁膜、3~11、12bはポリシリコン等の金属で作られた電極、13は出力ゲート電極、14、16はN型領域、15はゲート電極であり、N型領域14、16をそれぞれソース領域およびドレイン領域、ゲート電極15をゲートとするMOSトランジスタ T_{r1} が構成される。普通は拡散層からなるソース領域14は転送されてくる電荷を検出する電荷検出用領域であり、MOSトランジスタ T_{r1} と出力ゲート電極13とで電荷検出装置が構成される。また、17は転送チャネル、18はMOSトランジスタ、19~23は転送電極の下

に蓄積された電荷の転送方向を決める拡散層である。

第6図は第5図の電荷転送装置の動作を説明するタイムチャート、第7図は第6図のタイミング t_1 、 t_2 、 t_3 のポテンシャル図である。

時刻 t_1 において、 ϕ_n に「高」レベルを加え、MOSトランジスタ T_{r1} を導通させ、このトランジスタ T_{r1} のソース電位 V_{s1} を T_{r1} のドレイン電圧 V_{dd} と同電位に設定する。時刻 t_2 に ϕ_n は「低」レベルとし、ソース領域14はフローティング状態となる。この状態の後に時刻 t_3 において ϕ_1 を「低」レベルにし、電極12bと下に蓄積されていた電荷を一定電圧 V_{dd} が加えられている出力ゲート電極13の下に転送チャネルを通し、ソース領域14に流入させる。この流入電荷によるソース領域14の電位変化 ΔV_{s1} は流入電荷量を Q とし、ソース領域14の基板1に対する寄生容量を C_1 とし、ソース領域14に接続されている配線、ゲートなどにより浮遊容量を C_2 とすると次式のようになる。

$$\Delta V_{s1} = \frac{Q}{C_1 + C_2} \dots\dots\dots (1)$$

この電位変化をMOSトランジスタ18と抵抗 R_1 よりなるソースフォロワー回路のMOSトランジスタ18のゲートに加えることにより、出力信号は V_{out} 端子より取り出される。

ここで、このソースフォロワー回路の電圧利得を G とすれば、取り出される正味の信号出力 ΔV_{out} は次式となって

$$\Delta V_{out} = G \times \Delta V_{s1} = \frac{G \times Q}{C_1 + C_2} \dots\dots (2)$$

この式から電荷検出装置の感度を上げるためには、すなわちある一定の流入電荷量 Q に対してより大きな信号出力を得るためには、容量 $C_1 + C_2$ を小さくし、利得 G を大きくすれば良いことがわかる。ところが利得 G はソースフォロワー回路の特性上1より大きくすることはできない。そのため $C_1 + C_2$ を小さくすることが行なわれている。

今、出力ゲート13の直前の転送電極12bと

電極12bと同期して電圧を加える転送電極11の下に形成されるポテンシャルの差を $\Delta\phi$ とし、電極12bで転送しうる電荷量を q 、電極12bと半導体基板1の容量を C 、電極12bの下に転送チャネルの面積を S とすれば、次式が成立する。

$$q \propto C_1 \times \Delta\phi \propto S \times \Delta\phi \dots\dots\dots (3)$$

ここで $C_1 + C_2$ を小さくするために、 C_1 を小さくすると、電極検出領域に向かって転送チャネルをしぼり込まなくてはならず、電極12bの下に転送チャネル面積 S が小さくなり、(3)式より転送電荷量 q が減少する。

この減少を防止するために従来技術においては、第8図(a)、(b)の平面図およびそのE-E'断面図に示すように、出力ゲート13直前の転送電極12Cの電極長 l_3 を他の転送電極の電極長 l_1 より長くし、転送電極12C下の転送チャネル面積の低下をなくし、(3)式より転送チャネルのしぼり込みによる転送電荷量の低下を防いでいる。この図で第5図と同じ部分には、同じ番

号が付されている。

〔発明が解決しようとする問題点〕

上述した従来の電荷転送装置では、次のような欠点がある。

つまり、出力ゲート13の直前の転送電極12cが長くなっているため、第9図のポテンシャル図に示すように出力ゲート13の直前の転送電極12c直下に形成されるポテンシャルに勾配の小さな部分(F-F')が生じ、キャリアがすべてソース領域14に流入するまでの時間、すなわち信号電荷によるソース領域14の電位変化が完了するまでの時間が長くなってしまふ。この時間の増加により電荷転送装置の駆動周波数が低減されてしまふ。

本発明の目的は、このような問題を解決し、駆動周波数を低減させることなく、電荷検出感度を向上させることができる電荷転送装置を提供することにある。

〔問題点を解決するための手段〕

本発明の構成は、第1導電型の半導体基板表面

上に絶縁膜を介して転送電極及び出力ゲート電極が設けられ、前記半導体基板の前記出力ゲート電極の直下部に少なくとも隣接して第1導電型と逆の第2導電型領域からなる電荷検出用領域が配置され、前記出力ゲート直前の転送電極直下の転送チャネルが前記電荷検出用領域に向かってしほり込んで形成された電荷転送装置において、前記出力ゲート電極の直前の転送電極の下に階段状のポテンシャルを形成する手段を設けたことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)、(b)は本発明の一実施例を示す平面図及びA-A'線断面図である。図において、1はP型半導体基板、2は絶縁膜、3～12はポリシリコン等の金属で作られた電極、13は出力ゲート電極、14、16はN型領域、15はトランジスタ T_{11} のゲート電極、17は転送チャネル、18はMOSトランジスタ、19～23は

12aの下に転送電極11に隣接した領域にP型拡散層25を配置することによって、転送電極12aの下に形成されるポテンシャルに段差を生じさせている。したがって、第4図に示すように、転送電極12aの電極長 L_2 が長くなったことにより、転送電極12の下に形成されるポテンシャルに勾配の小さな部分ができるのを防ぎ、電荷転送装置の駆動周波数の低減を防いでいる。

〔発明の効果〕

以上説明したように、本発明は、出力ゲート直前の転送電極の下に階段状のポテンシャルを形成することにより、電荷転送装置の駆動周波数の低減を起こすことなく電荷検出感度を向上させることができるという効果がある。

なお本実施例では、表面チャネルCCDについて説明したが、装置の一部あるいは全ての部分が埋込チャネルであるようなCCDに適用しうることはいふまでもない。また、半導体基板をP型に限らず、導電型の極性を逆にして電位の正負を逆にすれば、n型半導体基板でもかまわない。

P型拡散層、24はN型拡散層である。

第2図は本実施例に示す電荷転送装置の第7図に示すタイムチャートの t_2 、 t_3 におけるポテンシャル図である。

本実施例では、出力ゲート13直前の転送電極12の下に出力ゲート13に隣接した領域のN型拡散層24を配置することによって、転送電極12の下に形成されるポテンシャルに段差を生じさせている。この第2図に示すように、転送電極12の電極長 L_1 が長くなったことにより、転送電極12の下に形成されるポテンシャルに勾配の小さな部分ができるのを防ぎ、電荷転送装置の駆動周波数の低減を防いでいる。

第3図(a)、(b)は本発明の第2の実施例の平面図及びB-B'線断面図であり、第1図と同じ部分には同じ番号が付されている。第4図は本実施例に示す電荷転送装置の第7図に示すタイムチャートの t_2 、 t_3 におけるポテンシャルを示したものである。

本実施例では、出力ゲート13直前の転送電極

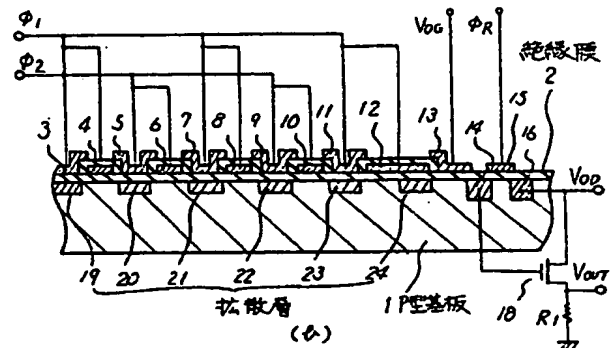
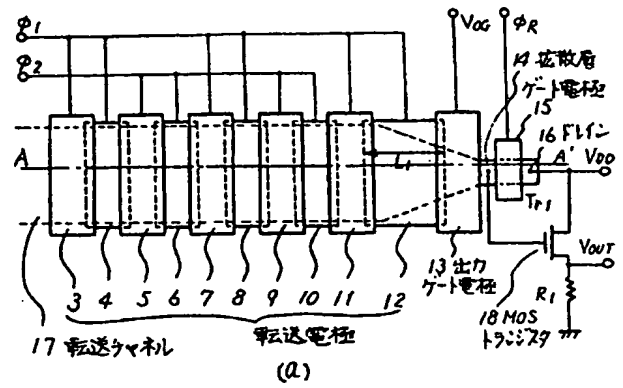
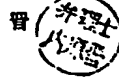
図面の簡単な説明

第1図(a)、(b)は本発明の第1の実施例における電荷転送装置の平面図及びA-A'線断面図、第2図は本実施例の電荷転送装置の時刻 t_2 、 t_3 (第9図)におけるポテンシャル図、第3図(a)、(b)は本発明の第2の実施例における電荷転送装置の平面図及びB-B'線断面図、第4図は第2図に示す電荷転送装置の第6図の t_2 、 t_3 におけるポテンシャル図、第5図(a)、(b)は従来の電荷転送装置の一例の平面図及びD-D'線断面、第6図、第7図は第5図に示す電荷転送装置の動作を説明するためのタイムチャートおよびその動作を示すポテンシャル図、第8図(a)、(b)は従来の電荷転送装置の他の例の平面図及びE-E'線断面図、第9図は第8図の時刻 t_2 、 t_3 におけるポテンシャル図である。

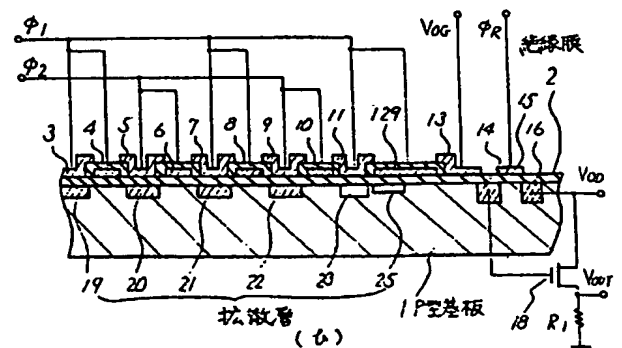
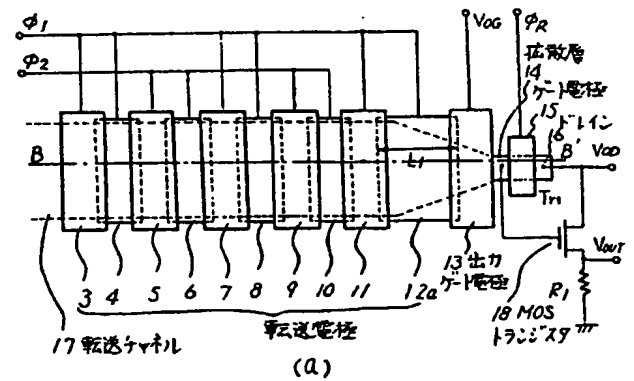
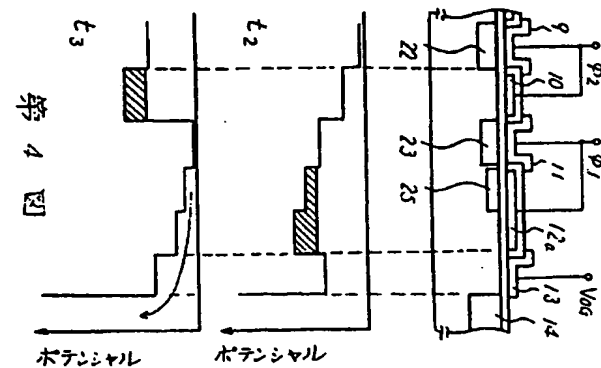
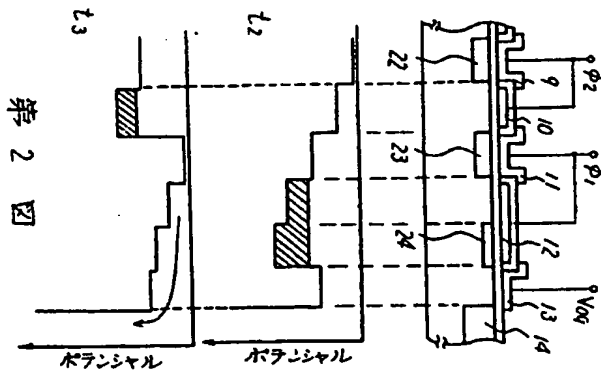
1…P型半導体基板、2…絶縁膜、3～12、12a、12b、12c…転送電極、13…出力

ゲート、14…N型電荷検出用拡散層、15…
MOSTランジスタ T_{r1} のゲート電極、16…
MOSTランジスタ T_{r1} のドレイン、17…転送
チャネル、18…MOSTランジスタ、19～
23、25…P型拡散層、24…N型拡散層。

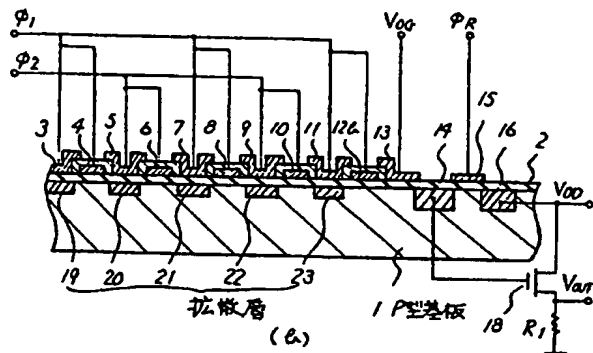
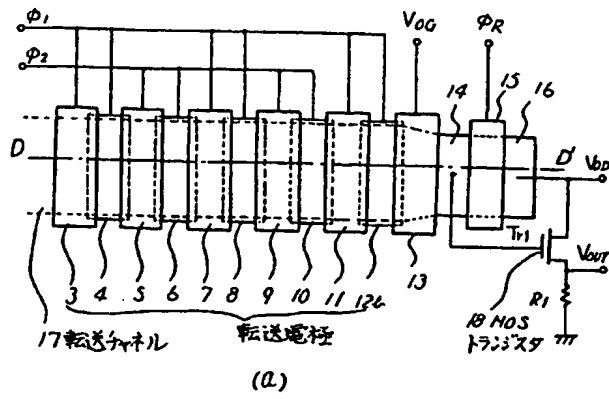
代理人 弁理士 内 原



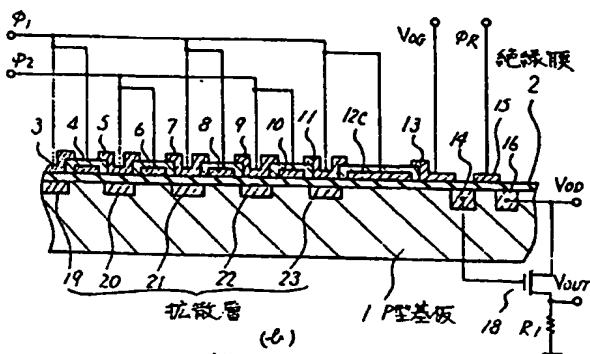
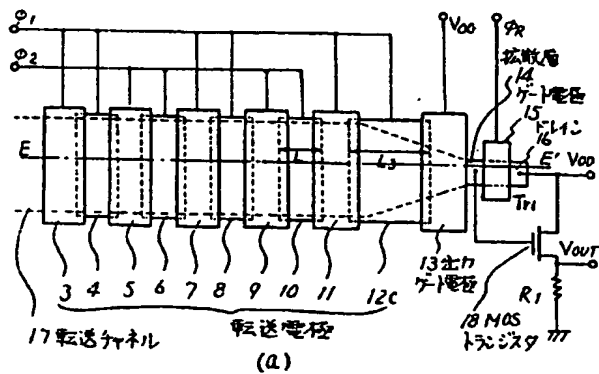
第 1 図



第 3 図



第5図



第8図

